

- For more records, click the Records link at page end.
- To change the format of selected records, select format and click Display Selected.
- To print/save clean copies of selected records from browser click Print/Save Selected.
- To have records sent as hardcopy or via email, click Send Results.

Select All

Clear Selections

Print/Save Selected

Send Results

Display Selected

Format

Full



1. 3/19/1

03617643 **Image available**

MANUFACTURE OF SEMICONDUCTOR DEVICE

Pub. No.: 03-280543 [JP 3280543 A]

Published: December 11, 1991 (19911211)

Inventor: TERAI YUKA

FUJII TOYOKAZU

YAMAMOTO HIROSHI

Applicant: MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company or Corp)

Application No.: 02-082420 [JP 9082420]

Filed: March 29, 1990 (19900329)

INTL CLASS: International Class: 5] H01L-021/3205

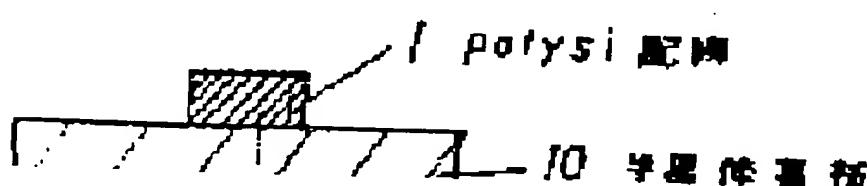
JAPIO Class: 42.2 (ELECTRONICS -- Solid State Components)

Journal: Section: E, Section No. 1178, Vol. 16, No. 104, Pg. 33, March 13, 1992 (19920313)

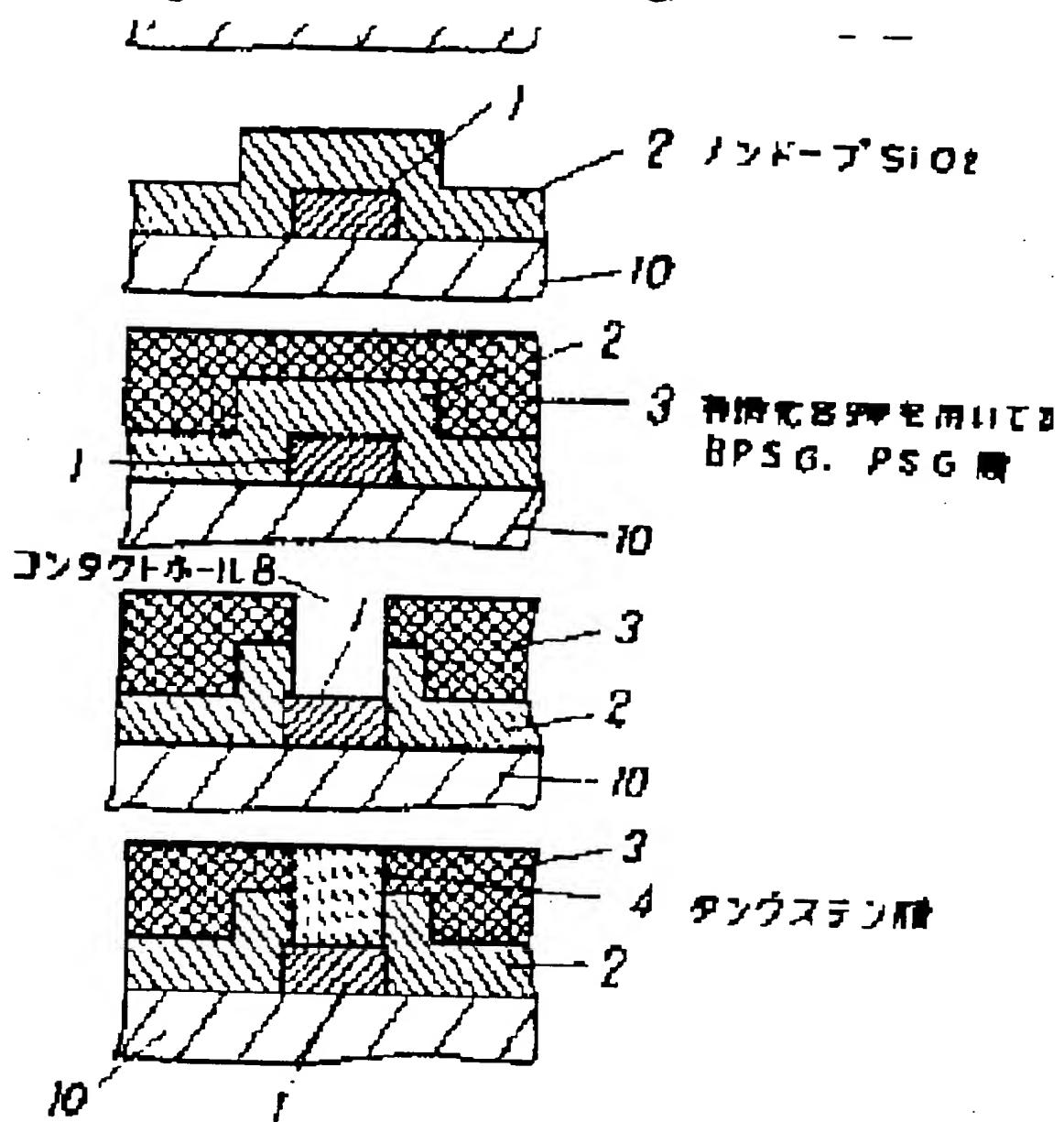
ABSTRACT

PURPOSE: To selectively bury a metal in a fine contact hole by forming, on a wiring, an interlayer BPSG film or a PSG film wherein the material of at least the uppermost layer is organic compound hole penetrating said insulating layer, and selectively growing the metal in the contact hole.

CONSTITUTION: A poly-Si wiring 1 is formed on a semiconductor substrate 10. An undoped Si deposited on the wiring 1, in order to prevent impurities from entering the poly-Si 1. A BPSG film 2 by using organic compound (TEOS, TMB, TMP). After that, the BPSG film 3 is flattened b hole 8 is opened, and tungsten 4 is selectively buried therein. Since the organic compound based B the interlayer insulating film, the tungsten 4 can be selectively grown only in the inside of the cont organic compound based PSG film is used as the interlayer insulating film, the same effect can be c



Best Available Copy



[Translation]

(19) Japan Patent Office (JP)

(12) **Patent Release (A)**

(11) Patent Application Release

Hei.3 (1991)-280543

(43) Release Date: Dec. 11,
1991

(51) Int.Cl⁵
H 01 L 21/3205

Identification No.

Agency Control No.

6810-4M H 01 L 21/88 K

Examination Request: Not yet requested
Items in Application: 2 (Total 4 pages)

(54) Name of Invention: Method of Manufacturing Semi-conductor Device

(21) Patent Requested: Hei.2(1990)-82420

(22) Date Requested: March 29, 1990

(72) Inventor: Tadayoshi Terai
c/o Matsushita Electric Industries
1006 Oaza-Kadoma, Kadoma-shi
Osaka [Japan]

(72) Inventor: Toyokazu Fujii
[same address]

(72) Inventor: Hiroshi Yamamoto
[same address]

(71) Applicant: Matsushita Electric Industries
Co., Ltd.
1006 Oaza-Kadoma, Kadoma-shi
Osaka [Japan]

(74) Agent: Shigetaka Kurino, Patent Attorney
and one other

Specifications

1. Name of Invention: Method of Manufacturing Semiconductor Device

2. Scope of Patent Application

(1) A method of manufacturing a semiconductor device prepared by

- a process to form an interlayer dielectric film on one, two or more layers consisting of a BPSG film or a PSG film in which at least the topmost layer laminates on the wiring having an organic compound as the raw material,
- a process to open a contact hole through the above-noted interlayer dielectric film and
- a process to selectively deposit a metal within the above-noted contact hole.*

(2) A method of manufacturing the semiconductor device described in scope of patent Application Item 1, which is characterized by the above-noted wiring including aluminum or an aluminum alloy.

3. Detailed Explanation of Invention

Field for Commercial Utilization: This invention is one bearing on a method of manufacturing high-density, high-capacity semiconductor integrated circuits having minute contact holes and multi-layered wiring.

Usual Technology: In the past, one technique of multi-layered wiring has been a method that includes selectively embedding tungsten in the contact hole by CVD. That method will be explained below using Figure 3. In Figure 3(a), aluminum wiring is formed on semiconductor substrate 10. In Figure 3(b) non-doped silicon dioxide has been laminated as the interlayer dielectric film on aluminum wiring 1 at a low heat such as 400°C, and dielectric film 6 was laminated using TEOS of good coverage. In Figure 3(c), flattening has been done in the same apparatus in combination with etch-back and then using resist etch-back. In Figure 3(d) contact hole 8 is opened through interlayer dielectric film 6. In Figure 3(e) tungsten 4 is selectively embedded by CVD in above-noted contact hole 8.

Problems the Invention Seeks to Resolve: It is known that the selectivity of selective CVD tungsten deposition

depends greatly on the kind of dielectric film in which the contact hole is opened and on the deposition method. When the inventors actually did selective deposition of tungsten, we found that many CVD tungsten granules 7 were selectively

* [Bullets added by translator to aid reading of this long sentence.]

deposited on interlayer dielectric film 6 outside of contact hole 8 (Figure 3[e]). Using a scanning electron microscope, we observed tungsten particles 7 non-selectively deposited on dielectric film 6 that used a TEOS (Figure 4). As these tungsten particles 7 deposited on interlayer dielectric film 6 become dust, they must be removed. That requires that the tungsten 4 not be deposited on interlayer dielectric film 6 but be deposited with good selectivity only within contact hole 8.

Now, normal SiH₄, BPSG and PSG films with good selectivity must flow at 900EC or more to embed in minute spaces. Yet, interlayer dielectric films are formed with good coverage at temperatures low enough that they do not affect underlying layers, such as the aluminum wiring and need to have the flattening done readily.

This invention was devised in light of the above-described problem and so has the aim of providing a method of manufacturing semiconductor devices that can deposit metals with good selectivity only within contact holes, form interlayer dielectric films at low temperatures and embed in tiny spaces.

Means to Resolve the Problem: Resolving the above-described issue, this invention is a method of manufacturing semiconductor devices characterized by forming on the wiring one, two or more layers of interlayer dielectric films made of BPSG film or PSG film in which at least the uppermost layer has organic material as its raw material, opening a contact hole through this interlayer dielectric film and selectively depositing metal within the above-noted contact hole.

Effects: From the above-noted method, this invention can cause metal alone to deposit with good selectivity within contact holes. With the interlayer dielectric film having good coverage at low temperatures, it also can do embedding in minute spaces and can be readily flattened at low

temperatures.

Application Examples

(Application Example 1): Figure 1 is cross-sectional process figures illustrating this invention's manufacturing process for semiconductor devices. Below, we will explain Application Example 1, using Figure 1.

In Figure 1(a), one forms polySi wiring 1 on semiconductor substrate 10. In Figure 1(b), one laminates non-doped SiO₂ film 2 on polySi wiring 1 to prevent impurities from getting into polySi 1. And, one uses an organic compound (TEOS, TMB or TMP) to laminate BPSG film 3 on that. After that one flattens BPSG film 3 by flowing it. In Figure 1(d), one opens contact hole 8 and selectively embeds tungsten 4.

In this way, by using organic-compound BPSG film 3 as the interlayer dielectric film in this application example, one can deposit tungsten 4 only within contact hole 8 with good selectivity. Also, organic compound BPSG film 3 has the advantages of better coverage than SiH₄ type BPSG film and a laminating temperature and flow temperature that are low (possible even at 400EC).

Application Example 2: Figure 2 is cross-sectional process diagrams showing this invention's method of manufacturing semiconductor devices in application example 1 {sic}.

In Figure 2(a), one forms aluminum alloy wiring 5 on semiconductor substrate 10. In Figure 2(b), one uses an organic compound (TEOS, TMB or TMP) to laminate BPSG film 3. In Figure 2(c), one does etch-back of BPSG film 3 with the same device, resist etch-back or flow to do the flattening. Or else, depending on the laminating conditions, the flow conditions may be right for flow right after lamination so that a fresh flattening process may not be needed in such case. In Figure 2(d), one opens contact hole 8. In Figure 2(e), one selectively embeds tungsten 4 inside contact hole 8. If organic-compound BPSG film is used, one can embed it in minute spaces with good coverage; and in combination with etch-back or the like one can embed it in even more minute spaces. So, one can embed tungsten with good selectivity.

In application examples 1 and 2, we used organic-compound

BPSG film for the interlayer dielectric film, but the same effects would obtain also by using organic-compound PSG film.

Effectiveness of Invention: As discussed above, with the simple methods of this invention one can embed metals with good selectivity in minute contact holes. So, it is quite effective in improving the reliability of resistance to electro-migration, etc. Also, BPSG film with an organic compound as its raw material can laminate and flow at low temperatures and embed in minute spaces with good coverage. In combination with etch-back it can be embedded in even more minute spaces. So, high-density, high capacity semiconductor integrated circuits become possible.

4. Simple Explanation of Figures: Figure 1 is cross-sectional process diagrams of this invention's method of manufacturing semiconductor devices in application example 1. Figure 2 is cross-sectional process diagrams of this invention's method of manufacturing semiconductor devices in application example 2. Figure 3 is cross-sectional process diagrams illustrating the usual method for embedding tungsten selectively in contact holes. Figure 4 is an oblique view of tungsten particles non-selectively deposited on dielectric film that used TEOS, obtained by scanning electron microscope observations.

[Keying symbols]

- 1 ... polySi wiring
- 2 ... Non-doped SiO₂
- 3 ... BPSG film laminated using an organic compound

⑱公開特許公報(A) 平3-280543

⑲Int.Cl.³
H 01 L 21/3205識別記号
厅内整理番号
6810-4M H 01 L 21/88⑳公開 平成3年(1991)12月11日
K

審査請求 未請求 請求項の数 2 (全4頁)

㉑発明の名称 半導体装置の製造方法

㉒特 願 平2-82420
㉓出 願 平2(1990)3月29日

㉔発 明 者 寺 井 由 佳	大阪府門真市大字門真1006番地	松下電器産業株式会社内
㉔発 明 者 藤 居 豊 和	大阪府門真市大字門真1006番地	松下電器産業株式会社内
㉔発 明 者 山 本 浩	大阪府門真市大字門真1006番地	松下電器産業株式会社内
㉔出 願 人 松下電器産業株式会社	大阪府門真市大字門真1006番地	
㉔代 理 人 弁理士 栗野 重孝	外1名	

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 配線₁上に少なくとも最上層が有機化合物を原料として堆積するBPSG膜もしくはPSG膜からなる一層もしくは二層以上の層間絶縁膜を形成する工程と、前記層間絶縁膜を貫くコンタクトホールを開口する工程と、前記コンタクトホール内に金属を選択的に成長させる工程とを備えた半導体装置の製造方法。

(2) 前記配線₁もしくはA₁合金を含むものであることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は微細なコンタクトホールや多層配線を有する高密度・高集積な半導体集積回路の製造方法に関するものである。

従来の技術

従来、多層配線技術の一つとしてCVD法で選択的にタンクスチタンをコンタクトホール内に埋め込む方法がある。その方法を第3図を用いて以下説明する。第3図(a)では、半導体基板10上にA₁配線₁を形成する。第3図(b)では、A₁配線₁上に層間絶縁膜として、ノンドープのSiO₂、例えば400°C程度の低温で堆積でき、かつカバレージの良いTEOSを用いた絶縁膜6を堆積する。第3図(c)では、同一装置内のエッチバックの組合せやその後のレジストエッチバックを用いて平坦化を行う。第3図(d)では、層間絶縁膜6を貫くコンタクト₈を開口する。第3図(e)では、CVD法で選択的にタンクスチタン4を上記コンタクトホール₈内に埋め込む。

発明が解決しようとする課題

選択CVDタンクスチタンの成長の選択性はコンタクトホールが開口された絶縁膜の種類、成膜方法に大きく依存することが知られている。本発明者らが実際にタンクスチタンの選択成長を行ったところ、コンタクトホール₈以外の層間絶縁膜6上

に非選択的に成長したCVDタングステン粒子7が多數成長することを見いだした(第3図(e))。SEMを用いてTEOSを用いた絶縁膜6上に非選択的に成長したタングステン粒子7を観察した(第4図)。この層間絶縁膜6上に成長したタングステン粒子7はダストになるため、この粒子7を除去する必要がある。そこで、層間絶縁膜6上にはタングステンは成長せず、コンタクトホール8内部にのみタングステン4が選択的よく成長することが求められている。一方、選択性の良い通常のSiH₄系BPSG膜、PSG膜は微細な隙間を埋め込むためには900℃以上のフローが必要である。しかし、層間絶縁膜は下層、例えばAl配線に影響を与えない程度の低温でカバーレジが良く形成され、簡単に平坦化が行われることも必要である。

本発明は上述の問題を鑑みてなされたもので、選択性良く金属を選択的にコンタクトホール内部にのみ成長させ、かつ層間絶縁膜が低温で形成され、微細な隙間を埋め込むことができる半導体装

第1図(a)では、半導体基板10上にPolySi配線1を形成する。第1図(b)では、PolySi配線1上にPolySi上に不純物がはいるのを防ぐため、ノンドープのSiO₂膜2を堆積する。さらに、その上に有機化合物(TEOS、TMB、TMP)を用いてBPSG膜3を堆積する。その後、BPSG膜3をフローによって平坦化する。第1図(d)では、コンタクトホール8を開口して、選択的にタングステン4を埋め込む。

以上のように、本実施例では層間絶縁膜として有機化合物系BPSG膜3を用いているため、選択性良くコンタクトホール8内部にのみタングステン4を成長させることができ、さらに有機化合物系BPSG膜3はSiH₄系BPSG膜よりカバーレジが良く、堆積温度とフロー温度(400℃以下でも可能)が低いという利点がある。

(実施例2)

第2図は、本発明の実施例1における半導体装置の製造方法を示す工程断面図である。

第2図(a)では、半導体基板10上にAl合金配

置の製造方法を提供することを目的とする。

課題を解決するための手段

本発明は、上述の課題を解決するため、配線上に少なくとも最上層が有機化合物を原料とするBPSG膜、あるいはPSG膜からなる一層もしくは二層以上の層間絶縁膜を形成し、この層間絶縁膜を貫くコンタクトホールを開口し、前記コンタクトホール内に金属を選択的に成長させること特徴とする半導体装置の製造方法である。

作用

本発明は上記の方法により、選択性良くコンタクトホール内部にのみ金属を成長させることができ。一方、層間絶縁膜は低温でカバーレジ良く微細な隙間を埋め込むことができ、低温で簡単に平坦化できる。

実施例

(実施例1)

第1図は、本発明の実施例1における半導体装置の製造方法を示す工程断面図である。以下、第1図を用いて実施例1を説明する。

線5を形成する。第2図(b)では、Al合金配線5上に、有機化合物(TEOS、TMB、TMP)を用いてBPSG膜3を堆積する。第2図(c)では、同一装置でBPSG膜3のエッチバックを行うか、あるいはレジストエッチバックかフローにより平坦化を行う。もしくは、堆積条件によっては堆積直後にフロー条件が得られるので、この場合は新たな平坦化工程は不要ない。第2図(d)では、コンタクトホール8を開口する。第2図(e)では、選択的にタングステン4をコンタクトホール8内部に埋め込む。有機化合物系BPSG膜を用いると、カバーレジ良く微細な隙間を埋め込むことができ、かつエッチバック等の組合せで、さらに微細な隙間を埋め込むことができる。かつ、選択性良くタングステンを埋め込むことができる。

なお、実施例1、2では層間絶縁膜として有機化合物系BPSG膜3を用いたが、有機化合物系PSG膜を用いても同様の効果が得られる。

発明の効果

以上に述べたように、本発明によれば、簡単な

方法で、微細なコンタクトホールを選択性良く、金属を埋め込むことができるので、エレクトロマイングレーション耐性等の信頼性向上に著しい効果がある。また、有機化合物を原料としたBPSG膜は、低温で堆積・フローでき、カバレージ良く微細な隙間を埋め込むことができ、エッチバック等の組合せで、さらに微細な隙間を埋め込むことができる。従って、高密度大集積な半導体集積回路の実現が可能となる。

4. 図面の簡単な説明

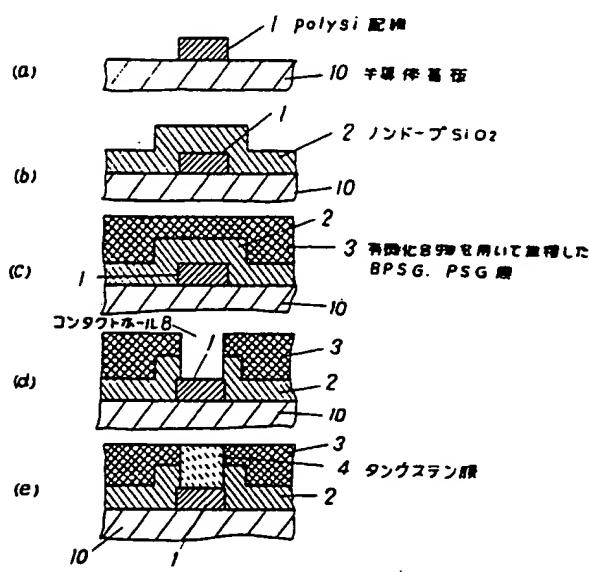
第1図は本発明の実施例1における半導体装置の製造方法を示す工程断面図。第2図は本発明の実施例2における半導体装置の製造方法を示す工程断面図。第3図は従来のCVD法で選択的にタンクステンをコンタクトホール内に埋め込む方法を示す工程断面図。第4図はTEOSを用いた絶縁膜上に非選択的に成長したタンクステン粒子をSEM観察により得た斜視図である。

1…poly Si配線 2…ノンドープSiO₂
3…有機化合物を用いて堆積したBPSG膜

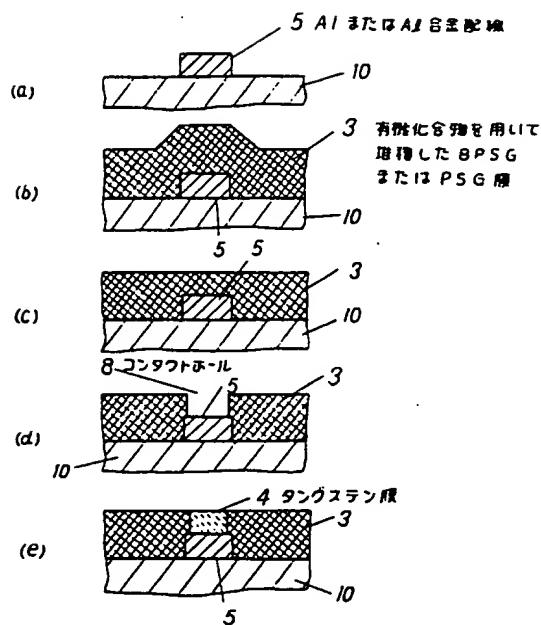
4…タンクステン膜 5…AlまたはAl合金配線
6…TEOSを用いて堆積した絶縁膜 7…
非選択的に成長したタンクステン粒 8…コンタクトホール。

代理人の氏名 弁理士 粟野重孝 ほか1名

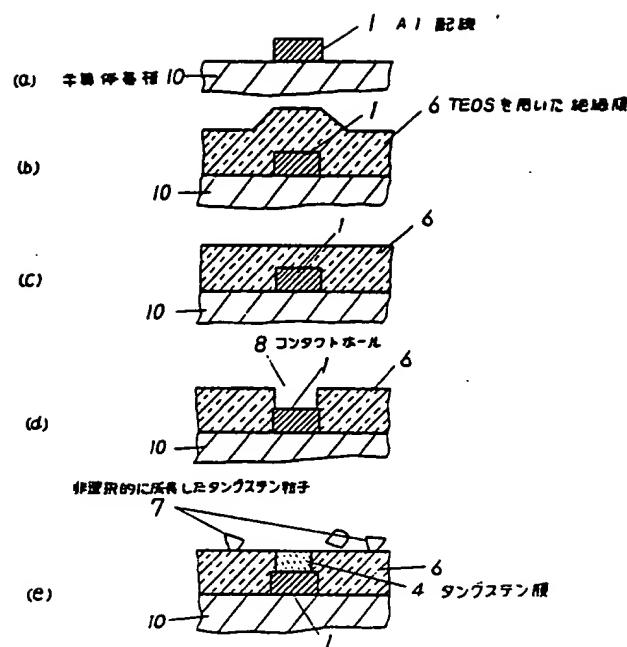
第1図



第2図



第3図



第4図

